

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208660

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 23/12
// H01L 21/60

(21)Application number : 11-010387

(71)Applicant : DAINIPPON PRINTING CO LTD

(22)Date of filing : 19.01.1999

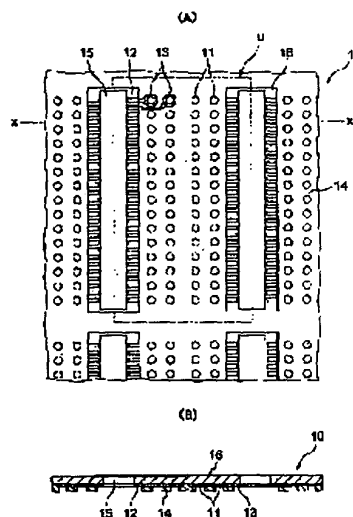
(72)Inventor : TSUBOSAKI KUNIHIRO
SASAKI MASAHIRO

(54) CIRCUIT BOARD FOR SEMICONDUCTOR DEVICE AND THE SEMICONDUCTOR DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To use a general-purpose assembly device and sealing device in an assembly process, while enabling resin sealing in batch.

SOLUTION: A substrate 10 is a circuit board where at least one substrate unit U, on which a semiconductor element is mounted is arrayed. Here, a slit-like opening part 15 is provided at a position facing the electrode pad train of the semiconductor element, a conductor circuit 13 is formed on the surface opposite to the semiconductor element's mounting side surface, an internal terminal 12 for connecting to the electrode pad of the semiconductor element using a metal thin wire is formed at one end on the side near the opening part 15 of the conductor circuit 13, and an external terminal 11 for drawing outside is formed at the other end which is continuous to the internal terminal 12, with vertical elasticity-coefficient is set at more than 1,000 kgf/mm².



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-208660

(P2000-208660A)

(43) 公開日 平成12年7月28日 (2000. 7. 28)

(51) Int. Cl. 7	識別記号	F I	テーマコード* (参考)
H01L 23/12		H01L 23/12	L 5F044
// H01L 21/60	301	21/60 301 A	

審査請求 未請求 請求項の数 6

〇 L

(全 11 頁)

(21) 出願番号 特願平11-10387

(22) 出願日 平成11年1月19日 (1999. 1. 19)

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 坪崎 邦宏

東京都新宿区市谷加賀町一丁目1番1号 大
日本印刷株式会社内

(72) 発明者 佐々木 将人

東京都新宿区市谷加賀町一丁目1番1号 大
日本印刷株式会社内

(74) 代理人 100096600

弁理士 土井 育郎

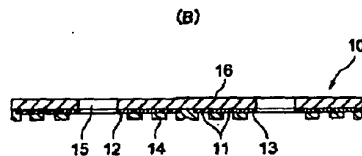
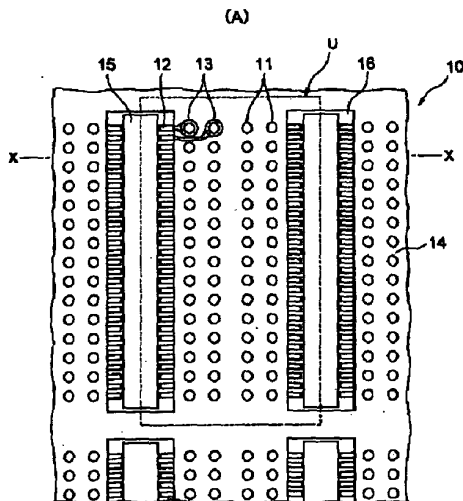
Fターム(参考) 5F044 AA03 AA05 JJ03

(54) 【発明の名称】 半導体装置用回路基板及びそれを用いた半導体装置

(57) 【要約】

【課題】 アセンブリ工程において汎用の組立装置、封止装置を用いることができると同時に、一括樹脂封止を可能とする。

【解決手段】 半導体素子を搭載すべき基板ユニットUを1つ以上配列した回路基板10であって、前記半導体素子の電極パッド列に対面する位置にスリット状の開口部15を有し、前記半導体素子の搭載側の面とは反対側の面に導体回路13が形成され、該導体回路13の前記開口部15に近い側の一端には金属細線によって前記半導体素子の電極パッドと結線するための内部端子12が形成され、その内部端子12に連続する他端に外部導出用の外部端子11が形成されており、且つ縦弾性係数が1000kgf/mm²以上であることを特徴とする。



【特許請求の範囲】

【請求項1】 半導体素子を搭載すべき基板ユニットを1つ以上配列した回路基板であって、前記半導体素子の電極パッド列に対面する位置にスリット状の開口部を有し、前記半導体素子の搭載側の面とは反対側の面に導体回路が形成され、該導体回路の前記開口部に近い側の一端には金属細線によって前記半導体素子の電極パッドと結線するための内部端子が形成され、その内部端子に連続する他端に外部導出用の外部端子が形成されており、且つ縦弾性係数が 1000 kg f/mm^2 以上であることを特徴とする半導体装置用回路基板。

【請求項2】 外部導出用端子が面状に形成されたエリアアレー型である請求項1に記載の半導体装置用回路基板。

【請求項3】 半導体素子が搭載される部分に、多孔質ポリテトラフロロエチレン（PTFE）を基材としその両面に接着材が形成されたダイアタッチシートを有する請求項1又は2に記載の半導体装置用回路基板。

【請求項4】 半導体素子の電極パッドと結線するための回路基板上の端子面と、外部導出用の端子が形成される側の回路基板最外面との間に 0.05 mm 以上の段差を有する請求項1、2又は3に記載の半導体装置用回路基板。

【請求項5】 基板ユニットが縦横複数列マトリクス状に配置された請求項1、2、3又は4に記載の半導体装置用回路基板。

【請求項6】 請求項1から5のいずれかに記載の回路基板を用いて組み立てられた半導体装置であって、基板ユニットに半導体素子がフェイスダウンで搭載され、半導体素子の電極パッドと回路基板の内部端子とが金属細線により結線されており、これらの電極パッド、内部端子及び金属細線が封止樹脂により覆われていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子を搭載するための半導体装置用回路基板及びそれを用いて作製された半導体装置に関する。

【0002】

【従来の技術】近年、半導体装置は、電子機器の高性能化と軽薄短小の傾向から、例えばLSIはASICに代表されるように、ますます高集積化、高性能化の一途をたどっている。現在では、リードフレームを用いた樹脂封止型の半導体装置においても300pinを超える領域まで実用化に至っているが、この形態の半導体装置は外部端子が半導体装置の外周部に形成されるため、多端子化が進むと外形が大きくなることとなる。このため、半導体装置の外形を大きくすることなく多端子化を実現するために、外部端子の端子ピッチを狭くすることで対応してきた。しかしながら、現状では、外部端子のピッ

チが 0.4 mm までが実用化の限界である。その理由は、外部端子のピッチが小さくなると、半導体装置を実装基板（マザーボード）に搭載する際の搭載精度が高く要求されることや、マザーボードの端子にクリーム半田を印刷することが困難になる等の弊害が生じることにある。したがって、リードフレームを用いた周辺端子型の半導体装置は、小型化、多端子化に限界が見えてきている。これを補うため、外部端子を2次元的に配列（エリアアレー状）する技術を用いることで、端子ピッチを小さくすることなく多端子を実現することができる。

【0003】このような外部端子をエリアアレー状に配置する従来技術の第一の例として図17に示すような構造をしたTape BGAがある。この図17において、121はインナーリード、122は半導体素子、123はTABテープ、124はスティフナ、125は封止樹脂、126は半田ボール、127は電極パッドを示している。

【0004】また、外部端子をエリアアレー状に配置する従来技術の第二の例として図18に示すような構造のFPBGAがある。この図18において、131は半導体素子、132はダイアタッチ剤、133は金ワイヤー、134は封止樹脂、135はスルーホール、136は配線部、137はインターポーザ、138は半田ボールを示している。そして、インターポーザ用基材としてTABテープ或いはリジッドなガラスエポキシ基板等を使う例が知られている。

【0005】

【発明が解決しようとする課題】従来の技術で述べた前者のTape BGAにも以下の問題点がある。先ず第一に、Tape BGAは一般にポリイミド樹脂を基材としたTABテープをインターポーザ用基材として用いるが、このTABテープは通常フープ状で扱われるため、半導体アセンブリラインはリールトゥリール対応の装置が必要である。現状では短冊状の金属製リードフレームを用いるアセンブリラインが最も一般的であるため、リールトゥリール方式は新たな設備投資を強要することとなる。

【0006】第二に、TABテープを短冊状に切断して現状のアセンブリラインでハンドリングを行おうとすると、テープの撓みが大きく、うまく自動搬送できないという問題が生じる。例えばポリイミド（縦弾性係数 $E=350\text{ kg f/mm}^2$ ）を基材とする厚さ $100\text{ }\mu\text{m}$ 、幅 60 mm のTABテープの幅方向にSiチップ（サイズ $8\times15\times0.4\text{ mm}$ ）3ケを搭載し、搬送用シューター上に置くと、幅方向中央部で約 4.3 mm の下方向への撓みが発生し、正常な搬送ができない。この対策として、リードフレーム類似の枠体に短冊状TABテープを貼り付けることで、ハンドリングが可能になるが、このようにするとコストアップになる。

【0007】第三に、TABテープの剛性が低いため、

半田ボールのコプラナリティー（平坦度）が悪く、その対策として、スティフナ（補強板）を貼り付ける必要があり、これもコスト上昇の要因となる。

【0008】第四に、現在TABテープを用いた半導体パッケージにおいて通常行われているインナーリードのギャングボンディングやシングルポイントボンディング等では、全てのインナーリードを半導体素子側の電極パッドに高精度（ $\pm 10 \mu\text{m}$ 程度）で位置合わせする必要があるが、これには特殊な装置を使用するので新たな設備投資が必要となる。

【0009】第五に、現在TABテープを用いた半導体パッケージの組み立てで行われている液状樹脂のポッティングによる封止では、封止材料自体が高価であり、且つトランスファモールドのような一括での封止が不可能であるために、加工費が高くなる。

【0010】第六に、Tape BGAはその構造からして半導体素子の面内領域に半田ボールを配置することができず、従ってパッケージ外形サイズが大きくなる。

【0011】また、従来の技術で述べた後者のFPBGAでも以下の問題点がある。第一に、FPBGAでは半導体素子を基材上にフェースアップで搭載し、その電極パッドを素子周辺の基材上配線パターンにワイヤーボンディングで結線しているため、必然的にパッケージサイズはチップサイズより大きくなり、小型化・薄型化に限界がある。

【0012】第二に、同じ理由により、半導体素子の電極パッドから外部端子までの距離が長くなり、高速動作の障害となる。

【0013】第三に、フェースアップ構造であるため、素子裏面に放熱板を取り付けることが不可能であり、高放熱の半導体素子を搭載することができない。

【0014】以上述べたように、半導体装置は更なる半導体装置の高集積化、高機能化が求められており、これに応じてエリアアレー型のTape BGA、FPBGAが実用に至っているが、これらにも前述の通り多くの問題点がある。

【0015】本発明は、上記のような事情に鑑みてなされたものであり、その目的とするところは、アセンブリ工程において汎用の組立装置、封止装置を用いることができると同時に、一括樹脂封止が可能な半導体装置用回路基板及びそれを用いた半導体装置を提供することにある。

【0016】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置用回路基板は、半導体素子を搭載すべき基板ユニットを1つ以上配列した回路基板であって、前記半導体素子の電極パッド列に対面する位置にスリット状の開口部を有し、前記半導体素子の搭載側の面とは反対側の面に導体回路が形成され、該導体回路の前記開口部に近い側の一端には金属細線によって前記

半導体素子の電極パッドと結線するための内部端子が形成され、その内部端子に連続する他端に外部導出用の外部端子が形成されており、且つ縦弾性係数が 1000 kgf/mm^2 以上であることを特徴としている。

【0017】また、本発明の半導体装置は、上記の回路基板を用いて組み立てられるものであって、基板ユニットに半導体素子がフェイスダウンで搭載され、半導体素子の電極パッドと回路基板の内部端子とが金属細線により結線されており、これらの電極パッド、内部端子及び金属細線が封止樹脂により覆われていることを特徴とするものである。

【0018】

【発明の実施の形態】本発明の半導体装置用回路基板は、縦弾性係数が 1000 kgf/mm^2 以上の剛性を持たせたことにより、自重及びSiチップによる撓みが小さく、従って短冊状で搬送が可能となる。このため、汎用のリードフレーム用の半導体組立装置、封止装置をそのまま流用できることになり、専用の設備を新たに準備する必要がない。

【0019】半導体装置用回路基板の縦弾性率を変えた時の基板撓み量をシミュレーションにより求めた結果を表1に示す。計算で用いた条件は次の通りである。すなわち、回路基板の幅を 65 mm 、厚さを 0.1 mm 、比重を 1.8 とし、基板の長さ方向 10 mm 当たりSiチップ（外形 $8 \times 15 \times 0.4 \text{ mm}$ ）3ヶを幅方向に均等に搭載した。このような回路基板が幅 60 mm の搬送用シューター上に置かれた時の基板中央部の下方向への撓み量を計算した。

【0020】

【表1】

回路基板の縦弾性率 (kg/mm^2)	下方向へのたわみ量 (mm)
350	4.32
500	3.02
750	2.02
1000	1.50
1250	1.21
1500	1.01
1750	0.86
2000	0.76
2250	0.67
2500	0.60

【0021】表1に示されるように、縦弾性係数 1000 kgf/mm^2 以上では、撓み量が 1.5 mm 以下となり、搬送シューター上での自動搬送及び収納用多段ラックへの自動収納が可能となる。また、基板自体に剛性があることにより、ファンイン・アウト型のBGAパッケージを組み立てる場合も、半導体素子外周部に補強板

を必要としないため、組立コストを低減できる。また、ファンイン型の小型、小ピンのCSPパッケージも同様の技術で実現できる。

【0022】また、本発明の半導体装置用回路基板は、半導体素子をフェイスダウンで搭載する方式であるが、半導体素子と回路基板とを金属線で接合するための開口部を有しているため、該開口部を通してワイヤーボンディングが可能となり、TABテープを用いた半導体パッケージのように、インナーリードボンディングに先立ってインナーリードと半導体素子の電極パッドとの高精度な位置合わせが不要となり、汎用のワイヤーボンダーを使用できるため、設備投資や信頼性の面でも有利である。

【0023】また、本発明の半導体装置用回路基板は、搭載する半導体素子電極パッド列に対面する位置にスリット状の開口部を持ち、ここを通して素子電極パッドと基板端子がワイヤーボンディングされるため、素子サイズにほぼ等しいパッケージサイズにすることが可能であるととも、ワイヤー長を最短に抑えることが可能で、高速動作対応の回路基板を提供することができる。さらに素子裏面を露出して上向きに搭載できるため、ここに放熱フィンを付けることで高放熱の半導体装置を実現することができる。

【0024】また、本発明の半導体装置用回路基板では、外部導出用端子をエリアレー状に配置するのが好ましい。このようにすると、端子ピッチが大きくなり、マザーボードに実装する際の負荷が軽減される。

【0025】また、本発明の半導体装置用回路基板は、半導体装置が搭載される部分に、多孔質ポリテトラフロロエチレン（PTFE）を基材としその両面に接着材が形成されたダイアタッチシートを貼り付けた構成とし、これを用いて半導体素子を搭載することが好ましい。トランスファモールドする際、半導体素子裏面を露出させようとする、モールド金型が素子裏面に直接触れて荷重を掛けることになるが、このようなダイアタッチシートを貼り付けた構成とすることで、多孔質PTFEが緩衝材として作用するため、半導体装置の封止工程においてチップ割れを生ずることがない。また多孔質PTFEは通気性があるため、半導体装置をマザーボードに半田実装する際のパッケージリフロークラックの発生を防ぐことができる。

【0026】また、本発明の半導体装置用回路基板は、搭載される半導体素子の電極パッドと結線するための回路基板上の端子面と、外部導出用の端子が形成される側の回路基板最外面との間に0.05mm以上の段差を形成するのが好ましい。このようにすることで、ワイヤーボンディング時におけるステッチ側のワイヤー高さ部分を回路基板内部に収めることができ、トランスファモールド法による一括樹脂封止時に、上下型とも平坦なプレート状金型を使用することができる。このため半導体

素子外形の異なるものを封止する場合にも、同一の金型を使用することができ、アセンブリコストの低減が可能である。

【0027】また、本発明の半導体装置用回路基板は、半導体素子を搭載すべき基板ユニットを縦横複数マトリクス状に配置した構成を採用した場合、ワイヤーボンディング後に複数個を一括して樹脂封止し、その後でダイシング法により個片化することとなる。このため、安価な封止樹脂を使用でき、また生産性も良好となる。なお、樹脂封止する手段は、金型を使用したトランスファモールド法に限られるものではない。例えば、マスクを介して液状樹脂を充填するようにしてもよいし、或いはディスペンサーを用いて液状樹脂を直接充填するようにしてもよい。

【0028】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0029】（実施例1）図1は本発明に係る半導体装置用回路基板の一例を示すもので、図1（A）は外部端子が形成されている面の一部を拡大した平面図であり、図1（B）は図1（A）のX-Xでの断面図である。図1（A）、（B）において、10は回路基板、11は外部端子、12は内部端子をそれぞれ示しており、図1（A）ではカバーシート14に覆われている導体回路のうち2個の配線部13（外部端子用ランド及び引出し配線）を図示してある。また、15はスリット状の開口部、16はBTレジンからなる基材である。そして、図1において点線で区画した部分が一つの基板ユニットUである。

【0030】図2は図1に示した回路基板の全体を示すもので、図1に示した基板ユニットUを $3 \times 5 = 15$ 個のマトリクス状に配列したものを1グループとし、さらにこれを4グループ1列に配列して短冊状としたものである。この回路基板10のサイズは幅65mm、長さ250mm、厚さ0.23mmである。

【0031】図3は図1に示す回路基板に半導体素子を搭載した状態を示すもので、図3（A）はワイヤーボンディングを行った後の外部端子が形成されている面の平面図であり、図3（B）は図3（A）のX-Xでの断面図である。図3（A）において点線で示された部分が搭載されている半導体素子21の外形を示す。この半導体素子21は回路基板の基材16側に接着層22を介してフェイスダウンで搭載されており、その電極端子23と回路基板の内部端子12が開口部15を通して金ワイヤーからなるボンディングワイヤー24で結線されている。なお、図3（A）ではボンディングワイヤー24を一部だけ図示してある。

【0032】このように半導体素子21を搭載した後、スリット状の開口部15及び隣接する半導体素子間のスペースに封止樹脂を充填し、ダイシング法により個片化

することにより所望の半導体装置を得ることができる。この封止樹脂の充填は、金型を使用したトランスファーマールド法により実施される。その他の手段として、図 4 に示すように、ワイヤーボンディングの終わった半導体素子付き回路基板をその基板側を下にして固定治具 B の上に固定してマスク M をその上に位置決めして配置し、ヘラ H を用いて半導体素子間のスペース部及び基板のワイヤーボンディング用開口部に液状樹脂 25 を充填する。この作業は樹脂の充填性を良くするために減圧雰囲気内で行う。マスク M としてはメタルマスク又はスクリーンマスクを用いることができる。また、図示はしていないが、ディスペンサーを用いて液状樹脂を半導体素子間のスペース部及び基板のワイヤーボンディング用開口部に塗布充填してもよい。

【0033】図 5 は図 1 の回路基板を用いて作製された半導体装置の概略断面図である。この半導体装置 26 は、図 3 の如く回路基板に半導体素子 21 を搭載した後、金型を使用したトランスファーマールド法によりスリット状の開口部及び隣接する半導体素子間のスペースに封止樹脂 27 を充填し、ダイシング法により個片化したものである。図示の半導体装置 26 では、外部端子に半田ボールを付けて外部電極 28 としてある。半導体装置 26 の実際の外形サイズは、 $8.5 \times 15 \text{ mm}$ で、高さが 1.1 mm 、外部端子が 60 ピンである。

【0034】図 6 は図 1 に示す半導体装置用回路基板の製造方法を示した工程図であり、以下、同図に示された製造工程を説明する。

【0035】まず、図 6 (A) に示すように、BT レジンガラス布 31 の両面に銅箔 32 を張り付けた厚さ 0.1 mm の積層板（三菱ガス化学製「CCL-HL830」）を基材として用意し、その基材にワイヤーボンディング用の開口部 33 をルーター加工により形成した。なお、使用した基材の縦弾性係数は 2000 kgf/mm^2 である。次に、図 6 (B) に示すように、回路形成面側のみにフォトレジスト 34（旭化成工業株式会社製「サンフォート AQ」）を $30 \mu\text{m}$ 厚でパターン形成した後、図 6 (C) に示すように、エッチングにより回路 35 を形成すると同時に反対側の銅箔 32 を全面除去した。その後、図 6 (D) に示すように、1% の水酸化ナトリウム水溶液でフォトレジスト 34 を剥離した。

【0036】一方、図 6 (E) に示すカバーフィルムを作製した。このカバーフィルムは、別に用意した厚さ 0.1 mm 、縦弾性係数 2000 kgf/mm^2 のガラスエポキシ基板 36 に、厚さ $25 \mu\text{m}$ のポリイミド系ボンディングシート 37 をラミネートし、金型を用いたパンチング法により外部端子用の開口部 38 と内部端子露出用の開口部 39 を形成したものである。

【0037】そして、図 6 (F) に示すように、このカバーフィルムに前記回路パターン形成済みの基板を位置合わせし、加熱加圧法によりラミネートした後、図 6

(G) に示すように、カバーフィルムの開口している部分に、厚さ $1 \mu\text{m}$ の Ni メッキと厚さ $0.1 \mu\text{m}$ の金メッキを無電解めっき法により順次施して内部端子 40 と外部端子 41 を形成して所望形状の半導体装置用回路基板を得た。

【0038】図 7 は上記の回路基板を用いて作製された半導体装置の製造方法を示した工程図であり、以下、同図に示された製造工程を説明する。

【0039】まず、図 7 (A) に示す如く、図 6 の工程で作製した回路基板を用意する。そして、図 7 (B) に示すように、多孔質ポリテトラフルオロエチレン (PTFE) の両面にエポキシ樹脂を含浸させたダイアタッチフィルム 42（ジャパングアテックス株式会社製「アブソーボンド」）を貼り付け、該ダイアタッチフィルム 42 を介して素子サイズ $8 \times 15 \times 0.4 \text{ mm}$ の半導体素子 43 を幅方向に 3 個搭載し、図 2 に示すような短冊状の基板を得た。この短冊状の基板を 60 mm 幅の搬送用シューター上に置いたところ、下方向への基板の撓みは中央部で約 0.2 mm となり、自動搬送を問題なく行うことができた。

【0040】次に、図 7 (C) に示すように、半導体素子 43 の電極端子 44 と回路基板の内部端子 40 を金ワイヤー（田中電子工業株式会社製「GMH $25 \mu\text{m} \phi$ 」）からなるボンディングワイヤー 45 によりワイヤーボンディングした。続いて、図 7 (D) に示すように、エポキシ樹脂（日東電工株式会社製「MP-7400」）からなる封止樹脂 46 を用いたトランスファーマールド法により、複数の IC を一括でモールドするとともに、カバーフィルムの開口部 38 に半田ボール（千住金属工業株式会社製「SPAKLE BALL S 0.5ϕ 」）を取り付けて外部電極 47 を形成した。その後、ダイシング法により個片化し、図 7 (E) に示すような所望の半導体装置を得た。

【0041】（実施例 2）図 8 は図 5 に示した半導体装置の変形例を示す断面図である。実施例 1 との構造の違いは、カバーシート 14 の厚みを $20 \sim 30 \mu\text{m}$ と薄くし、それに伴って封止樹脂 27 の充填時に使用する下金型の形状に凹部を設けることで、ボンディングワイヤー 24 のループ高さ部分を封止するように工夫した点にある。本実施例における基板作製の工程フローを図 9 に示す。実施例 1 と異なる点は、基材 16 としてエポキシレジンガラス布の両面に銅箔を張り付けた厚さ 0.1 mm の積層板（縦弾性係数 1200 kgf/mm^2 ）を使用したこと、カバーシート 14 の形成に感光性ソルダーレジスト（太陽インキ株式会社製「SR4000-AUS-5」）を使用したこと、電気メッキ法により端子部及び配線部に Ni : $5 \mu\text{m}$ 以上 + Au : $0.5 \mu\text{m}$ 以上を形成したこと、及びワイヤーボンディング用開口部の形成を電気メッキ後に実施したことである。

【0042】このプロセスにより、実施例 1 と同一サイ

ズの短冊状基板を作製し、ダイアタッチフィルムを介して半導体素子を搭載した後、60mm幅の搬送用シューター上に置いたところ、下方向への基板撓みは中央部で1.1mmとなり、自動搬送は問題なく行うことができた。

【0043】（実施例3）図10は本発明に係る半導体装置の別の例を示す断面図である。この半導体装置は、外部端子が半導体素子の面内領域だけでなく、半導体素子の外周部にも形成される、所謂ファンイン・ファンアウトタイプである。具体的には、半導体素子51の電極パッド列に直面した開口部52を挟んで、両側に半田ボールからなる外部電極53が形成されているものであり、半導体素子が比較的小さく且つ端子数が多い場合に適している。使用されている材料、製造工程は実施例1とほぼ同様であり、54はエポキシ樹脂からなる封止樹脂、55はダイアタッチフィルム、56はBTレジンガラス布からなる基材、57は銅箔をエッチングした回路、58はカバーシートである。

【0044】（実施例4）図11は図10に示した半導体装置の変形例を示す断面図である。この半導体装置は、トランスファモールドする際の封止領域を半導体素子の周辺近傍に限定したものである。ワイヤーボンディング用の開口部よりも外側に配置される外部端子が多い場合、このような形態にすることで、半導体装置の反りが低減されると同時に、実装基板（マザーボード）に対する追随性が良いため、外部電極53内に発生する熱ストレスが低減される。

【0045】（実施例5）図12は本発明に係る半導体装置のさらに別の例を示す断面図である。この半導体装置では、電極端子62が素子の中心に沿って設置された半導体素子61を搭載している。用いられている材料及び製造方法は実施例2とほぼ同様であり、63はダイアタッチフィルム、64はBTレジンガラス布からなる基材、65は銅箔をエッチングした回路、66はカバーシート、67は半田ボールからなる外部電極、68はエポキシ樹脂からなる封止樹脂、69は金ワイヤーからなるボンディングワイヤーである。

【0046】（実施例6）図13は本発明に係る半導体装置のさらに別の例を示す断面図である。この半導体装置は、半導体素子71の搭載に一般的なダイアタッチペースト72（日本エイブルスティック株式会社製「エイブルボンド8390」）を用いており、半導体素子71の裏面及び側面を囲むようにエポキシ樹脂（日東電工株式会社製「MP7400」）からなる封止樹脂73で封止したものである。その他の材料及び製造方法は実施例2とほぼ同様であり、74はBTレジンガラス布からなる基材、75は銅箔をエッチングした回路、76はカバーシート、77は半田ボールからなる外部電極である。この実施例の半導体装置は、汎用のダイアタッチ材で半導体素子を搭載しているために安価で半導体装置を組み

立てることができる。また、半導体素子の周囲全体を封止するため、半導体素子の厚みに関係なく同一のモールド金型で封止できるので、低コストで多品種に対応することができる。もちろん前述の多孔質PTFE基材のダイアタッチシートを用いてもよいことは言うまでもない。

【0047】（実施例7）図14は本発明に係る半導体装置のさらに別の例を示す断面図である。この半導体装置は、半導体素子サイズの割りに端子数が特に多い場合、または特に高速化を要求される半導体素子を搭載する場合に適したものである。同図において81は半導体素子、82は多孔質PTFEを用いた前述のダイアタッチフィルム、83はBTレジンガラス布からなる基材、84は第一の回路、85は第一の絶縁層、86は第二の回路、87は第一の回路84と第二の回路86を連絡するスルーホール、88は第二の絶縁層（ソルダーレジスト）、89は半田ボールからなる外部電極、90は金ワイヤーからなるボンディングワイヤー、91はエポキシ樹脂からなる封止樹脂である。この実施例の半導体装置は、第一の回路84がグランド又は電源ライン層として機能するので、高速動作時の同時スイッチングノイズに対する電源電圧の変動を抑えることができ、誤作動が起きにくい構造となる。また、半導体素子の電極パッドを1辺あたり2列に配置し、且つ基板側のワイヤーボンディング位置を図示のように振り分けることで、多数の端子接続が可能となる。

【0048】図15及び図16は図14に示す半導体装置を作製するための回路基板の製造方法を示した工程図である。以下、同図に示された製造工程を説明する。

【0049】先ず、実施例1の場合と同様、図15（A）に示すように、BTレジンガラス布101の両面に銅箔102を張り付けた厚さ0.1mmの積層板（三菱ガス化学製「CCL-HL830」）を基材として用意した。そして、図15（B）に示すように、前述と同様のエッチング法で一方の面に回路103を形成すると同時に反対側の銅箔102を全面除去した。次いで、図15（C）に示すように、回路103の上に、感光性の絶縁樹脂（日本ペイント株式会社製「プロビーコート5000」）を塗布し、露光及び現像工程を経てから乾燥させることで、第一の絶縁層104をパターン形成した。

【0050】次に、図15（D）に示すように、第一の絶縁層104以外の所定箇所にカバーコート材105をコーティングしてから、開口部を含む全面に厚さ1μmの無電解銅メッキを施し、さらに電解銅メッキを施して厚みを15μmまで増加させたメッキ層106を形成した。その後、図15（E）に示すように、さらにレジスト製版を行って、第二の回路107をエッチング法で形成するとともに、カバーコート材105を除去した。

【0051】続いて、図16（A）に示すように、第二

の回路 107 の上から第一の絶縁層 104 と同様の第二の絶縁層 108 をフォトリソグラフィ法でパターン形成した。その後、図 16 (B) に示すように、露出した金属面に $1\mu\text{m}$ の Ni メッキを施してメッキ層 109 を形成した後、図 16 (C) に示すように、ワイヤーボンディングに必要な開口部 110 をパンチング法により形成した。さらに、露出した金属面に無電解金めっきを $0.3\mu\text{m}$ の厚さで施してから、図 16 (D) に示すように、露出した外部端子部に実施例 1 と同様の半田ボールからなる外部電極 111 を形成して所望形状の半導体装置用回路基板を得た。

【0052】

【発明の効果】以上説明したように、本発明によれば、新たに設備投資をすることなく汎用のリードフレーム用アセンブリ装置を流用することができ、また樹脂封止、個片化等の作業を効率良くしかも安価に行うことが可能である。

【0053】また、構造面では、フェースダウンのチップサイズパッケージ構造を採ることができるため、高速・高放熱デバイスに対応可能であるとともに、スティフナを用いることなくファンイン・アウト構造を採ることも可能である。さらに、半田実装時のパッケージクラック耐性に優れるとともに、放熱特性にも優れたものとなる。

【図面の簡単な説明】

【図 1】本発明に係る半導体装置用回路基板の一例を示すもので、図 1 (A) は外部端子が形成されている面の一部を拡大した平面図であり、図 1 (B) は図 1 (A) の X-X' での断面図である。

【図 2】図 1 に示した回路基板の全体を示す平面図である。

【図 3】図 1 に示す回路基板に半導体素子を搭載した状態を示すもので、図 3 (A) はワイヤーボンディングを行った後の外部端子が形成されている面の平面図であり、図 3 (B) は図 3 (A) の X-X' での断面図である。

【図 4】樹脂封止手段の他の例を示す説明図である。

【図 5】図 1 の回路基板を用いて作製された半導体装置の概略断面図である。

【図 6】図 1 に示す半導体装置用回路基板の製造方法を示した工程図である。

【図 7】回路基板を用いて作製された半導体装置の製造方法を示した工程図である。

【図 8】図 5 に示した半導体装置の変形例を示す断面図である。

【図 9】図 8 に示す半導体装置における基板作製の工程フロー図である。

【図 10】本発明に係る半導体装置の別の例を示す断面図である。

【図 11】図 10 に示した半導体装置の変形例を示す断

面図である。

【図 12】本発明に係る半導体装置のさらに別の例を示す断面図である。

【図 13】本発明に係る半導体装置のさらに別の例を示す断面図である。

【図 14】本発明に係る半導体装置のさらに別の例を示す断面図である。

【図 15】図 14 に示す半導体装置を作製するための回路基板の製造方法を示した前半の工程図である。

【図 16】図 15 に続く後半の工程図である。

【図 17】従来技術の第一の例としての Tape BG A の構造を示す断面図である。

【図 18】従来技術の第二の例としての FPBGA の構造を示す断面図である。

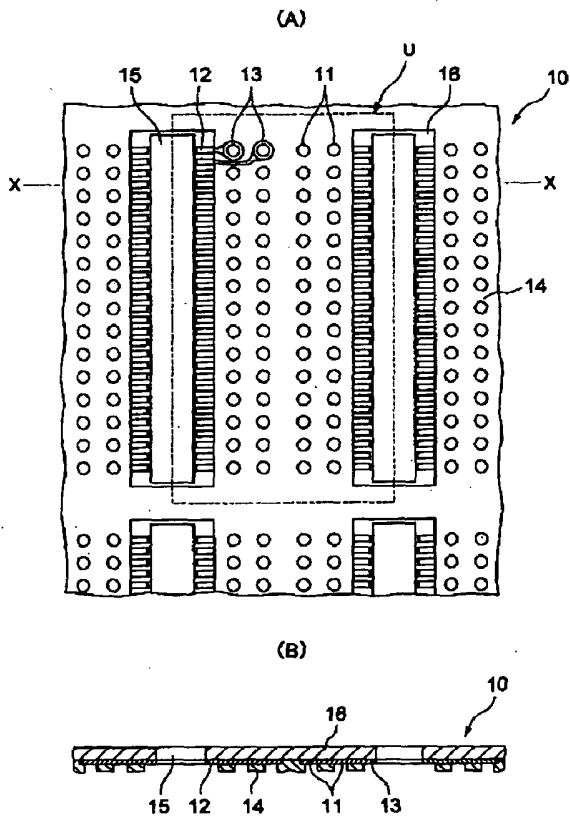
【符号の説明】

- 10 回路基板
- 11 外部端子
- 12 内部端子
- 13 配線部
- 14 カバーシート
- 15 開口部
- 16 基材
- U 基板ユニット
- 21 半導体素子
- 22 接着層
- 23 電極端子
- 24 ボンディングワイヤー
- 25 液状樹脂
- 26 半導体装置
- 27 封止樹脂
- 31 BT レジンガラス布
- 32 銅箔
- 33 開口部
- 34 フォトレジスト
- 35 回路
- 36 ガラスエポキシ基板
- 37 ボンディングシート
- 38 外部端子用の開口部
- 39 内部端子用の開口部
- 40 内部端子
- 41 外部端子
- 42 ダイアタッチフィルム
- 43 半導体素子
- 44 電極端子
- 45 ボンディングワイヤー
- 46 封止樹脂
- 47 外部電極
- 51 半導体素子
- 52 開口部
- 53 外部電極

13

- 54 封止樹脂
- 55 ダイアタッチフィルム
- 56 基材
- 57 回路
- 58 カバーシート
- 61 半導体素子
- 62 電極端子
- 63 ダイアタッチフィルム
- 64 基材
- 65 甘露
- 66 カバーシート
- 67 外部電極
- 68 封止樹脂
- 69 ボンディングワイヤー
- 71 半導体素子
- 72 ダイアタッチペースト
- 73 封止樹脂
- 74 基材
- 75 回路
- 76 カバーシート
- 77 外部電極
- 81 半導体素子

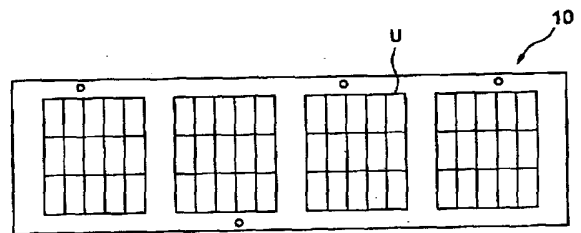
【図1】



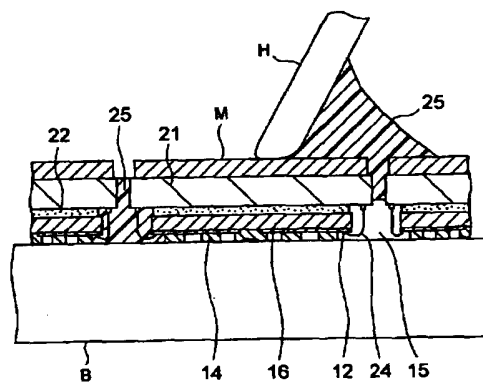
14

- 82 ダイアタッチフィルム
- 83 基材
- 84 第一の回路
- 85 第一の絶縁層
- 86 第二の回路
- 87 スルーホール
- 88 第二の絶縁層
- 89 外部電極
- 90 ボンディングワイヤー
- 10 91 封止樹脂
- 101 B Tレジンガラス布
- 102 銅箔
- 103 回路
- 104 第一の絶縁層
- 105 カバーコート材
- 106 メッキ層
- 107 第二の回路
- 108 第二の絶縁層
- 109 メッキ層
- 20 110 開口部
- 111 外部電極

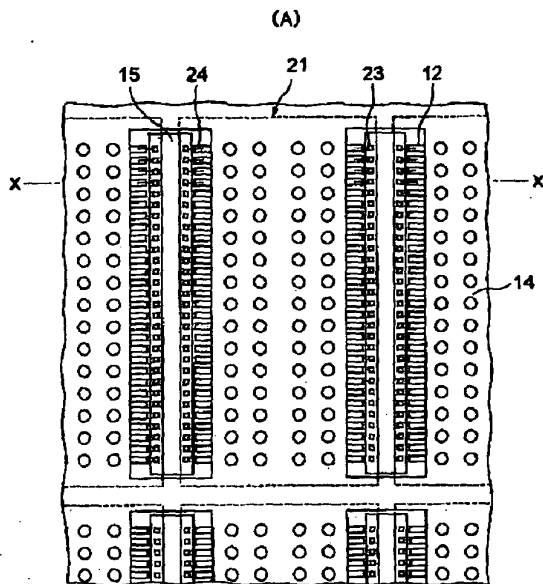
【図2】



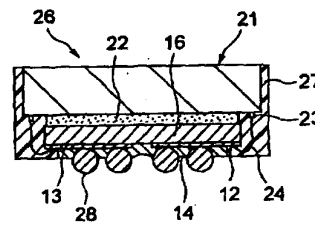
【図4】



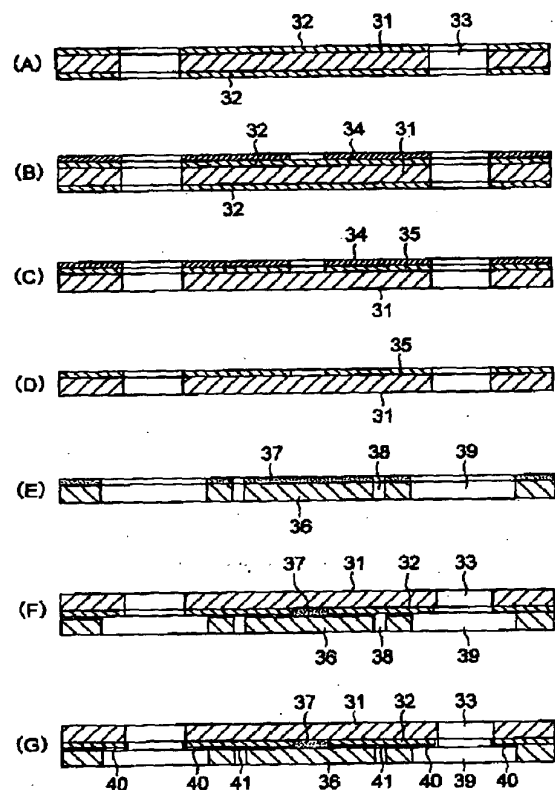
【図3】



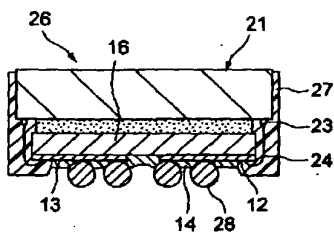
【図5】



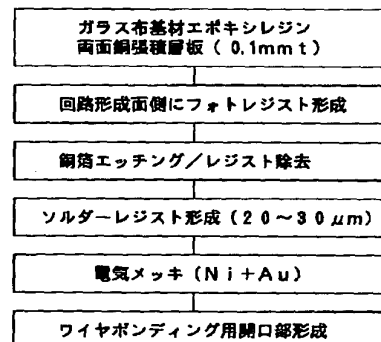
【図6】



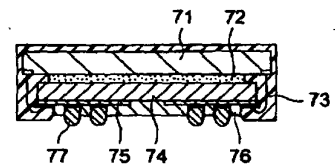
【図8】



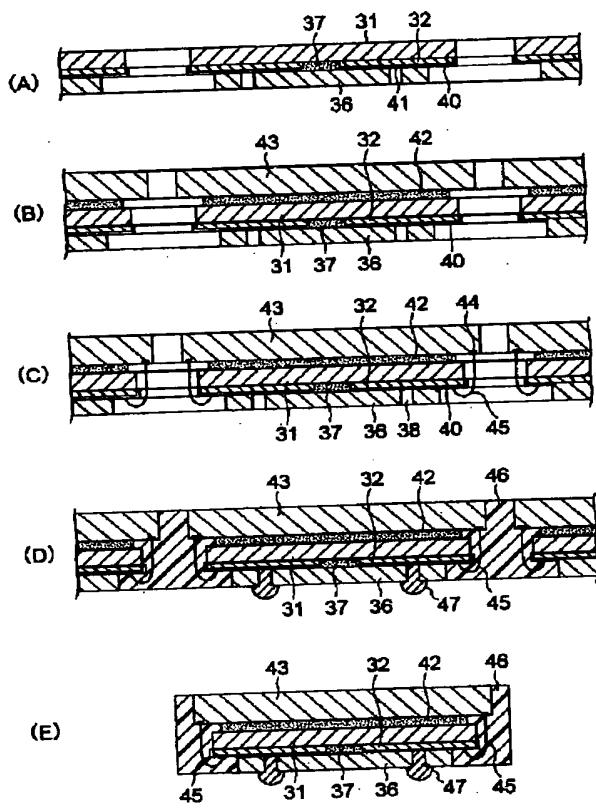
【図9】



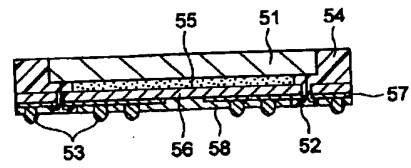
【図13】



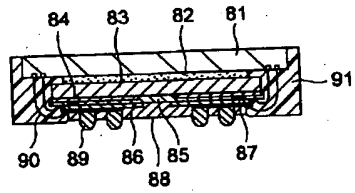
【図 7】



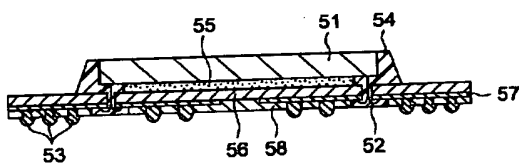
【図 10】



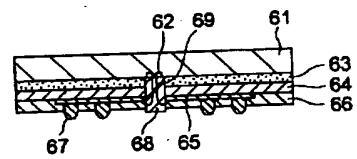
【図 14】



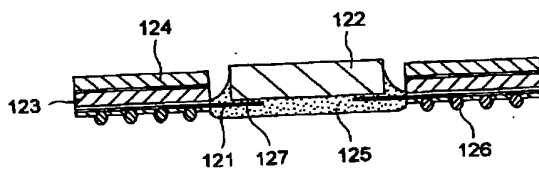
【図 11】



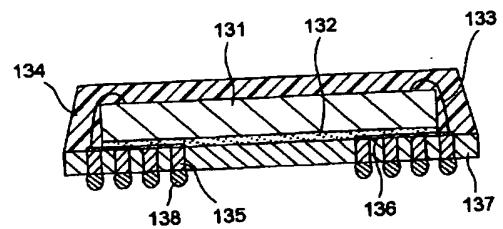
【図 12】



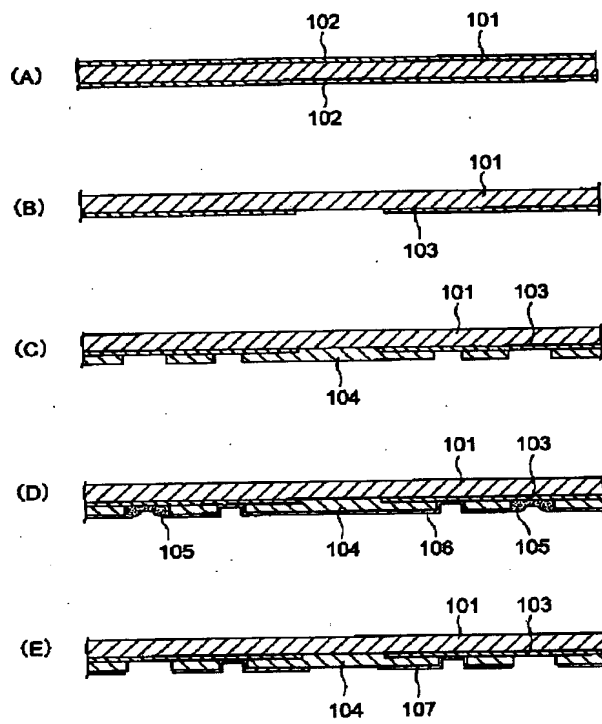
【図 17】



【図 18】



【図 15】



【図 16】

